

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-293245

(P2000-293245A)

(43)公開日 平成12年10月20日 (2000.10.20)

(51)Int.Cl.⁷
G 0 5 F 1/56
H 0 1 L 27/04
21/822
33/00

識別記号
3 1 0

F I
G 0 5 F 1/56
H 0 1 L 33/00
27/04

3 1 0 T 5 F 0 3 8
3 1 0 Z 5 F 0 4 1
J 5 H 4 3 0
B

テ-マコ-ト(参考)

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21)出願番号 特願平11-102917

(22)出願日 平成11年4月9日 (1999.4.9)

(71)出願人 000005049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 山口 裕嗣

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 100075557

弁理士 西教 圭一郎

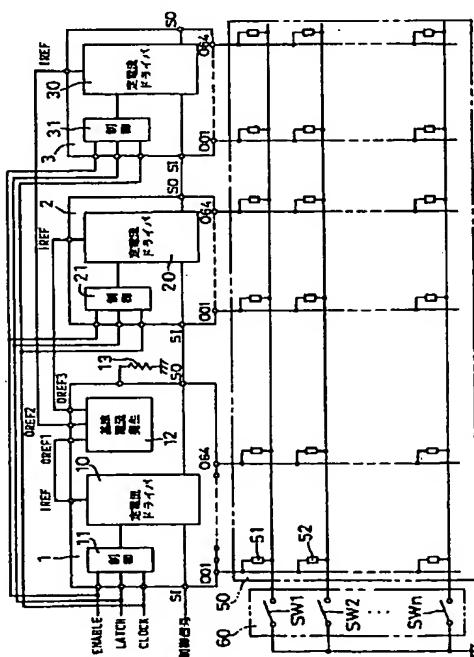
最終頁に続く

(54)【発明の名称】 定電流駆動装置および定電流駆動半導体集積回路

(57)【要約】

【課題】 複数の定電流ドライバICを用いて多数の負荷を、定電流ドライバIC間の出力電流のばらつきが小さい状態で駆動する。

【解決手段】 EL表示パネル50の有機EL素子51, 52, …を定電流で駆動するために、定電流ドライバIC1, 2, 3が使用される。各定電流ドライバIC1, 2, 3には、定電流ドライバ回路10, 20, 30および制御回路11, 21, 31が内蔵される。定電流ドライバIC1には基準電流発生回路12が内蔵され、基準抵抗13に基づいて発生される基準出力電流を基準出力端子OREF1～3から導出する。各定電流ドライバIC1, 2, 3の基準電流入力端子IREFには、基準電流発生回路12からの基準出力電流を入力し、駆動出力端子O01～O64からそれぞれ同一電流値の駆動電流を出力する。駆動電流は、各制御回路11, 21, 31によってオンまたはオフに制御される。



1

【特許請求の範囲】

【請求項1】複数の負荷を、各負荷同一の電流で駆動する定電流駆動装置において、

負荷の総数より少ない複数の定電流駆動半導体集積回路であって、

各定電流駆動半導体集積回路は、同一の半導体チップ上に集積され、

1以上の基準入力端子を有し、基準入力端子に入力される基準信号に対応する一定電流で、負荷の総数のうちの一部に属する複数の負荷をそれぞれ駆動する複数のドライバ回路と、

各負荷用の駆動入力端子を有し、駆動入力端子への入力信号に従って該ドライバ回路の各出力をオンまたはオフにそれぞれ制御する制御回路とを含む、そのような定電流駆動半導体回路と、

同一の半導体チップ上に集積され、複数の定電流駆動半導体集積回路の基準入力端子に、同一の基準信号を与えるように発生する基準信号発生回路とを含むことを特徴とする定電流駆動装置。

【請求項2】前記基準信号発生回路は、前記複数の定電流駆動半導体集積回路のうちの少なくとも1つと同一の半導体チップ上に集積されていることを特徴とする請求項1記載の定電流駆動装置。

【請求項3】前記基準信号発生回路は、各前記複数の定電流駆動半導体集積回路にそれぞれ同一の電流値を前記基準信号として与えることを特徴とする請求項1または2記載の定電流駆動装置。

【請求項4】同一の半導体チップ上に集積され、複数の負荷をそれぞれ同一の定電流値を有する出力で駆動するための定電流駆動半導体集積回路であって、1以上の基準電流入力端子および複数の駆動出力端子を有し、基準電流入力端子に入力される基準電流に従って、各駆動出力端子に各負荷を同一の定電流値で駆動するための出力を導出する複数の定電流駆動回路と、

複数の基準電流出力端子を有し、各基準電流出力端子に同一電流値を有する出力をそれぞれ発生する基準電流発生回路とを含むことを特徴とする定電流駆動半導体集積回路。

【請求項5】前記複数の定電流駆動回路の出力をオンまたはオフに制御するための信号がシリアルに入力されるシリアル入力端子を有し、シリアル入力端子に入力された信号をパラレルに出力するシフトレジスタ回路と、ラッチ用入力端子を有し、ラッチ用入力端子への入力信号に従って、シフトレジスタ回路のパラレル出力をラッチし、ラッチされた出力で各定電流駆動回路の出力をオンまたはオフに制御するラッチ回路とを含むことを特徴とする請求項4記載の定電流駆動半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多数の負荷を一定

10

20

30

40

50

電流でそれぞれ駆動する定電流駆動装置およびそのような定電流駆動装置に使用する定電流駆動半導体集積回路に関する。

【0002】

【従来の技術】従来から、発光ダイオード（以下「LED」と略称する）素子を多数個配列して形成されるLEDプリンタ・ヘッドやLEDディスプレイ・パネル、あるいは特定の有機化合物のエレクトロルミネッセンス（以下「EL」と略称する）現象を利用する有機ELディスプレイ・パネルなどは、多数の発光素子などの負荷を定電流でそれぞれ駆動している。これらの負荷は、多数個を同時に駆動しなければならないので、複数の定電流出力端子を有する半導体集積回路（以下「IC」と略称することがある）である定電流ドライバICを複数個使用して駆動する場合が多い。この場合に、各定電流ドライバICの出力電流値にはばらつきが生じると、発光素子の発光量などにばらつきが生じ、プリンタでは印字むら、ディスプレイ・パネルでは表示むらを生じる。このむらを低減するために、定電流ドライバICの出力電流は、各定電流出力端子間でのばらつきを小さく抑えることが要求されている。

【0003】一方、ICは、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップが異なると、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、整合性はあまり高くならない。しかしながら、同一の半導体チップ上に形成されるトランジスタや抵抗などの間では、電気的特性の相対的な誤差が小さくなり、整合性が高いという特徴を有している。このため、ドライバICの出力電流は、同一ICの定電流出力端子間では各出力間のばらつきが小さくなるけれども、異なるIC間では比較的のばらつきが大きくなってしまう。したがって、複数のドライバICを使用して、LEDプリンタ・ヘッド、LEDディスプレイ・パネル、有機ELディスプレイ・パネルなどの発光素子を駆動する場合は、ドライバIC間のばらつきを補正することが必要となる。

【0004】ドライバIC間のばらつきの補正是、各ドライバIC毎に電流設定抵抗を外付けし、電流設定抵抗の抵抗値を調整して行うことが一般的である。特開平8-169139には、LEDヘッド駆動用のドライバICに、組合わせによって合成抵抗値を変更することが可能な電流設定抵抗を内蔵し、外部からの補正データに対応させて抵抗の組合わせの合成抵抗値を変え、定電流値を変更する先行技術が開示されている。

【0005】

【発明が解決しようとする課題】定電流駆動用のドライバIC間のばらつきを、電流設定抵抗値を調整して補正する従来の方法では、表示素子とドライバICとを組立てるLEDプリンタ・ヘッド、LEDディスプレイ・パネルあるいは有機EL・ディスプレイ・パネルなどの組

立て工程を自動化しにくいという問題がある。ドライバICを1つの半導体集積回路として形成すれば、定電流出力間のばらつきは小さくなるけれども、半導体集積回路としての規模が大きくなり、半導体チップとして必要な面積も大きくなってしまう。しかも、ドライバICとしての汎用性が失われ、特定のLED・ヘッド、LEDディスプレイ・パネルあるいは有機EL・ディスプレイ・パネルなどに専用的にしか使用することができなくなってしまう。このような事情は、定電圧を出力するドライバICの場合も同様である。

【0006】本発明の目的は、複数の半導体集積回路に分けて負荷を駆動しても、半導体集積回路の出力間でのばらつきを少なくすることができる定電流駆動装置および定電流駆動半導体集積回路を提供することである。

【0007】

【課題を解決するための手段】本発明は、複数の負荷を、各負荷同一の電流で駆動する定電流駆動装置において、負荷の総数より少ない複数の定電流駆動半導体集積回路であって、各定電流駆動半導体集積回路は、同一の半導体チップ上に集積され、1以上の基準入力端子を有し、基準入力端子に入力される基準信号に対応する一定電流で、負荷の総数のうちの一部に属する複数の負荷をそれぞれ駆動する複数のドライブ回路と、各負荷用の駆動入力端子を有し、駆動入力端子への入力信号に従って該ドライブ回路の各出力をオンまたはオフにそれぞれ制御する制御回路とを含む、そのような定電流駆動半導体回路と、同一の半導体チップ上に集積され、複数の定電流駆動半導体集積回路の基準入力端子に、同一の基準信号を与えるように発生する基準信号発生回路とを含むことを特徴とする定電流駆動装置である。

【0008】本発明に従えば、複数の定電流駆動半導体集積回路にそれぞれ含まれる複数のドライブ回路によって、複数の負荷はそれぞれ同一の電流で駆動される。各定電流駆動半導体回路は、ドライブ回路と制御回路とを含む。ドライブ回路は、1以上の基準入力端子を有し、基準入力端子に入力される基準信号に対応する一定電流で、負荷の総数のうちの一部に属する複数の負荷をそれぞれ駆動する。制御回路は、各負荷用の駆動入力端子を有し、駆動入力端子への入力信号に従って該ドライブ回路の各出力をオンまたはオフにそれぞれ制御する。ドライブ回路の基準入力端子には、基準信号発生回路からの基準信号が与えられる。基準信号発生回路は、同一の半導体チップ上に集積されて、複数の定電流駆動半導体集積回路の基準入力端子に同一の基準信号を与えるように基準信号を発生する。基準信号発生回路からは、ばらつきの少ない基準信号が発生されて、複数の定電流駆動半導体集積回路の基準入力端子にそれぞれ与えられる。各定電流駆動半導体集積回路内で、基準信号に対応して負荷を駆動する一定電流は、同一の半導体チップ上のドライブ回路から出力されるので、ばらつきを少なくするこ

とができる。異なる定電流駆動半導体集積回路からの駆動電流も、同一の半導体チップ上の基準信号発生回路から発生されるばらつきの小さい基準信号に対応して出力されるので、抵抗などによる調製を行わなくても、出力電流のばらつきを小さく抑えることができる。

【0009】また本発明で前記基準信号発生回路は、前記複数の定電流駆動半導体集積回路のうちの少なくとも1つと同一の半導体チップ上に集積されていることを特徴とする。

【0010】本発明に従えば、基準信号発生回路が複数の定電流駆動半導体集積回路のうちの少なくとも1つと同一の半導体チップ上に集積されているので、基準信号発生回路を定電流半導体集積回路と別に設ける必要はなく、負荷と合わせてディスプレイ・パネルなどを組立てる際の小形化を図ることができる。

【0011】また本発明で前記基準信号発生回路は、各前記複数の定電流駆動半導体集積回路にそれぞれ同一の電流値を前記基準信号として与えることを特徴とする。

【0012】本発明に従えば、複数の定電流半導体集積回路は、基準信号発生回路からの同一の電流値の基準電流入力に対応してそれぞれ同一の電流値で負荷を駆動するので、多くの負荷をばらつきの少ない定電流値で駆動することができる。

【0013】さらに本発明は、同一の半導体チップ上に集積され、複数の負荷をそれぞれ同一の定電流値を有する出力で駆動するための定電流駆動半導体集積回路であって、1以上の基準電流入力端子および複数の駆動出力端子を有し、基準電流入力端子に入力される基準電流に従って、各駆動出力端子に各負荷を同一の定電流値で駆動するための出力を導出する複数の定電流駆動回路と、

複数の基準電流出力端子を有し、各基準電流出力端子に同一電流値を有する出力をそれぞれ発生する基準電流発生回路とを含むことを特徴とする定電流駆動半導体集積回路である。

【0014】本発明に従えば、定電流駆動半導体集積回路は、同一の半導体チップ上に形成され、駆動回路と基準電流発生回路とを含む。駆動回路は、1以上の基準電流入力端子および複数の駆動出力端子を有し、基準電流入力端子に入力される基準電流に従って、各駆動出力端子に各負荷を同一の定電流値で駆動するための出力を導出する。同一の半導体チップ上に形成されているので、各負荷を駆動する定電流値のばらつきを小さくすることができる。基準電流発生回路も、同一の半導体チップ上に形成されているので、複数の基準電流出力端子に端子間のばらつきの小さい出力をそれぞれ導出することができる。ばらつきの小さい定電流出力値の1つを同一の半導体チップ上に形成される駆動回路に与え、他の出力を他の半導体チップ上に形成される駆動回路に与えるようすれば、半導体チップが異なる駆動回路からばらつきの小さい定電流値で複数の負荷をそれぞれ駆動させること

ができる。異なる定電流駆動半導体集積回路からの駆動電流も、同一の半導体チップ上の基準信号発生回路から発生されるばらつきの小さい基準信号に対応して出力されるので、抵抗などによる調製を行わなくても、出力電流のばらつきを小さく抑えることができる。

【0015】また本発明で前記基準信号発生回路は、各前記複数の定電流駆動半導体集積回路にそれぞれ同一の電流値を前記基準信号として与えることを特徴とする。

とができる。

【0015】また本発明は、前記複数の定電流駆動回路の出力をオンまたはオフに制御するための信号がシリアルに入力されるシリアル入力端子を有し、シリアル入力端子に入力された信号をパラレルに出力するシフトレジスタ回路と、ラッチ用入力端子を有し、ラッチ用入力端子への入力信号に従って、シフトレジスタ回路のパラレル出力をラッチし、ラッチされた出力で各定電流駆動回路の出力をオンまたはオフに制御するラッチ回路とを含むことを特徴とする。

【0016】本発明に従えば、各負荷に定電流出力を与える駆動回路は、シフトレジスタ回路にシリアルに入力される信号が、シフトレジスタ回路からパラレルに出力され、ラッチ回路によってラッチされた出力でオンまたはオフに制御される。シフトレジスタへのシリアル入力端子と、ラッチ回路のラッチ用入力端子とを用いて、多くの駆動出力端子からの定電流出力のオンまたはオフへの制御を行うことができる。

【0017】

【発明の実施の形態】図1は、本発明の実施の一形態の定電流駆動装置として、有機ELディスプレイ・パネルの概略的な電気的構成を示す。3個の定電流ドライバIC1, 2, 3は、1つの基準電流入力端子IREFへ入力される基準電流に対応して、64の駆動出力端子O01～O64からそれぞれ同一電流値の駆動出力を導出することができる。定電流ドライバIC1には、基準電流入力端子IREFに入力される基準電流に従って、64の駆動出力端子O01～O64にそれぞれ駆動電流を供給する定電流ドライバ回路10と、定電流ドライバ回路10から出力される駆動電流を、入力信号に応じてオンまたはオフに制御するための制御回路11と、定電流ドライバ回路10の基準電流入力端子に基準電流を供給するための基準電流出力端子を含む3つの基準電流出力端子OREF1～3から、同一電流値の基準電流を発生する基準電流発生回路12とを含む。基準電流発生回路12は、定電流ドライバIC1の外部に設けられる基準抵抗13で、各基準電流出力端子OREF1～3から導出する基準電流値を調整することができる。他の定電流ドライバIC2, 3にも、定電流ドライバ回路20, 30および制御回路21, 31が含まれる。

【0018】定電流ドライバ回路IC1, 2, 3の駆動出力端子O01～O64は、EL表示パネル50で、有機EL素子51, 52, …が192ドット×nドットのマトリクス状に配置されて構成される192列を、64列ずつに分割し、各列を負荷としてそれぞれ駆動する。ELパネル50のn行は、行選択回路61に含まれるスイッチング素子SW1, SW2, …, SWnのうちのいずれか1つのみが導通して選択される。行選択回路60によって選択される行と、各列との交点に配置される有機EL素子が選択され、定電流ドライバ回路10,

20, 30によって駆動される。

【0019】EL表示パネル50の各有機EL素子51, 52, …は、定電流ドライバIC1, 2, 3のシリアル入力端子SIに入力されるシリアル信号に基づいてオンまたはオフに制御され、有機EL素子51, 52, …のオンまたはオフの表示に対応して、EL表示パネル50での画像表示が行われる。定電流ドライバIC1, 2, 3から同一電流値がオン状態の有機EL素子51, 52, …に与えられるので、オン状態の画素間の輝度のばらつきが少ない状態で表示を行うことができる。

【0020】シリアル入力端子SIに入力されるシリアル信号は、クロック端子CLOCKに入力されるクロック信号に同期して与えられ、シリアル出力端子SOから出力される。定電流ドライバIC2のシリアル入力端子SIを定電流ドライバIC1のシリアル出力端子SOと接続し、定電流ドライバIC3のシリアル入力端子SIを定電流ドライバIC2のシリアル出力端子SOに接続する。定電流ドライバIC1のシリアル入力端子SIから、192列分の表示データをクロック信号に同期して入力させれば、制御回路11, 21, 31内に含まれるそれぞれ64段ずつのシフトレジスタ回路に、各列の表示データを与えることができる。各列の表示データは、ラッチ入力用端子LATCHに入力されるラッチ信号に応じてシフトレジスタからラッチ回路に取込まれ、イネーブル入力端子ENABLEに与えられる信号に従って定電流ドライバ回路10から各駆動出力端子O01～O64への駆動出力のオンまたはオフの制御が行われる。クロック入力信号CLOCK、ラッチ用入力信号LATCHおよびイネーブル用入力信号ENABLEは、各定電流ドライバIC1, 2, 3に対し、それぞれ共通に与えられる。

【0021】図2は、図1に示す定電流ドライバIC1の概略的な電気的構成を示す。制御回路11には、64ビット・シフト・レジスタ70と、64ビット・ラッチ80とが含まれる。64ビット・シフト・レジスタ70は、クロック端子に入力されるクロック信号CLOCKに同期して、シリアル入力端子SIから入力されるシリアル信号を64ビット分のレジスタにそれぞれ記憶させる。ラッチ回路である64ビットラッチ80は、外部から与えられるラッチ用信号LATCHに応答して、64ビット・シフト・レジスタ64からの出力データを取込んで保持する。64ビット・ラッチ80の出力データは、常に導出され、64のANDゲート101, 102, …, 164を介して64ビットの定電流ドライバ回路10を制御する。定電流ドライバ回路10には、基準電流が入力され、カレントミラー回路として、同一の出力電流を導出する。なお基準電流入力端子IREFは複数設け、入力電流値の和として、出力電流を導出させることもできる。

【0022】図3は、図2に示す基準電流発生回路12

の概略的な電気的構成を示す。定電圧回路110は、一定の電圧を出力する。CMOSオペアンプなどの演算増幅器111は、定電圧回路110からの出力電圧を基準にして、基準抵抗13に発生する電圧が等しくなるように、制御用NMOSトランジスタ112のゲートに信号電圧を与える。基準抵抗13は、制御用NMOSトランジスタ112のソース側に、基準電圧入力端子VREFを介して接続される。制御用NMOSトランジスタ112のドレイン側には、制御用PMOSトランジスタ113のドレインが接続される。制御用NMOSトランジスタ112は、前記定電圧回路110からの出力電圧と、図1および図2に示す外付けの基準抵抗13に基づいて定電流を流す。

【0023】制御用PMOSトランジスタ113は、カレントミラー回路120を構成し、カレントミラー回路120に含まれる出力用PMOSトランジスタ121、122、123からそれぞれ同一電流値の基準電流を導出させることができる。各PMOSトランジスタ121、122、123のソースは、制御用PMOSトランジスタ113のソースとともに共通接続され、正の電源電圧Vccが与えられる。制御用PMOSトランジスタ113および出力用PMOSトランジスタ121、122、123のゲートは共通接続され、制御用PMOSトランジスタ113のドレインと制御用NMOSトランジスタ112のドレインとの共通接続点に接続される。

【0024】カレントミラー回路120では、制御用PMOSトランジスタ113に流れるソース・ドレイン間電流に対応して、各出力用PMOSトランジスタ121、122、123のソース・ドレイン間電流が流れ。出力用PMOSトランジスタ121、122、123は、同一の半導体チップ上に形成され、同一形状のマスクを用いる露光処理と、同一のプロセス処理とに従って製造されるので、同一の特性を有するように製造することができ、ばらつきの少ない電流値で各基準電流出力端子OREF1～3から導出する基準電流を発生させることができる。基準電流値は、定電圧回路110から発生する定電圧を基準抵抗13の抵抗値で除算した値に対応させることができる。制御用PMOSトランジスタ113も出力用PMOSトランジスタ121、122、123と同一形状となるように形成しておけば、基準抵抗13を流れる電流と同一電流値の電流を各基準電流出力端子OREF1～3からそれぞれ導出させることができる。

【0025】図4は、図3の定電圧回路110を、NPNバンドギャップ型として構成する場合の例を示す。電源から、定電流源130を介して一定電流をNPNトランジスタ131、132、133および抵抗134、135、136で構成されるバンドギャップ回路に供給すると、半導体素子として基本的なバンドギャップに基づく一定電圧を、取出すことができる。NPNトランジ

10

20

タ131はPN接合ダイオードとして、PN接合順方向電圧を発生し、NPNトランジスタ132からのバンドギャップ電圧と合せて、温度変化が小さい基準電圧を得ることができる。

【0026】図5は、図2の定電流ドライバ回路10で各駆動出力端子O01～O64にそれぞれ接続される出力素子の例を示す。図5(a)はPMOSトランジスタ140から出力を取出す例を示す。図5(b)は、NMOSトランジスタ150から出力を取出す例を示す。図5(c)は、バイポーラのPNPトランジスタ160から出力を取出す例を示す。図5(d)は、バイポーラのNPNトランジスタ170から出力を取出す例を示す。各出力素子は、並列に、かつカレントミラー回路を構成するように接続され、同一電流値の出力を容易に得ることができる。

【0027】図1の実施形態では、定電流ドライバIC1、2、3でEL表示パネル50の192列の有機EL素子51、52、…を64列ずつ分けてそれぞれ駆動しているけれども、列の数や、定電流ドライバICの使用個数、あるいは各定電流ドライバICで駆動可能な出力数などは他の数にすることもできる。また、定電流駆動の負荷は、EL表示パネル50の有機EL素子51、52、…ばかりではなく、LEDディスプレイ・パネルの各LED素子や、LEDプリンタ・ヘッドなどを、抵抗などによる調製なしで、同様に定電流駆動することもできる。

【0028】図1の実施形態では、基準電流発生回路12が定電流ドライバIC1に内蔵されているけれども、別個の半導体集積回路として構成することもできる。基準電流発生回路を独立の半導体集積回路として形成すれば、基準電流出力端子の数を増やし、多くの定電流ドライバICを、IC間で出力電流のばらつきの小さい定電流駆動出力を導出させることができる。

【0029】また、基準電流発生回路12を、定電流ドライバIC2、3にも内蔵させ、各定電流ドライバIC1、2、3を全く同一の構成とすることもできる。この場合には、定電流ドライバIC2、3では基準電流発生回路12の基準電流出力端子OREFは使用しないで、定電流ドライバIC1の基準電流出力端子ORESを基準電流入力端子IREFに接続する。すなわち、定電流ドライバIC2、3では基準電流発生回路12を内蔵するけれども、使用はしない。このようにすることによって、定電流ドライバIC1、2、3を標準化することができ、量産しやすくすることができる。

【0030】また、基準電流の代りに、基準電圧や基準周期の信号を与え、負荷を定電流で駆動することもできる。

【0031】

【発明の効果】以上のように本発明によれば、複数の負荷を、複数の定電流駆動半導体集積回路からのばらつき

の小さい一定電流で駆動し、駆動出力をオンまたはオフに制御することができる。出力のばらつきを小さくするために、各定電流駆動半導体集積回路間で調整を行う必要はないので、定電流駆動装置の組立て時に必要な調整の手間を省き、組立て工程の自動化も容易にすることができる。

【0032】また本発明によれば、複数の定電流駆動半導体集積回路のうちの少なくとも1つには、基準信号発生回路が同一の半導体チップ上に集積されているので、基準信号発生回路を定電流駆動半導体集積回路と別に設ける必要はなく、定電流駆動回路の小形化を図り、組立ても容易にすることができます。

【0033】また本発明によれば、定電流半導体集積回路は、各負荷を基準信号に対応してそれぞれ同一の電流値で駆動するので、複数の負荷を容易に定電流駆動することができます。

【0034】さらに本発明によれば、定電流駆動半導体集積回路には、同一の半導体チップ上に複数の定電流駆動回路と基準電流発生回路とを含み、複数の基準電流出力端子と、1以上の基準電流入力端子および複数の基準出力端子を有する。複数の基準電流出力端子からは、ばらつきの小さい基準電流出力を導出し、そのうちの1つを基準電流入力端子に入力させれば、複数の駆動出力端子からばらつきの小さい定電流出力を導出させることができる。残りの基準電流出力端子を、他の定電流駆動半導体出力回路の定電流駆動回路の基準入力端子に接続すれば、他の定電流駆動半導体集積回路も含めて、ばらつきの小さい定電流出力を複数の負荷を駆動することができます。

【0035】また本発明によれば、複数の負荷を駆動する定電流出力を、シリアルに入力される信号に従ってオンまたはオフに制御することができる。制御のための信号はシリアルに入力されるので、入力端子の数を増やす*

*ことなく、多くの負荷を駆動する定電流出力のオンまたはオフの制御を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の定電流駆動装置としての有機ELディスプレイ・パネルの概略的な電気的構成を示すブロック図である。

【図2】図1の実施形態で使用する定電流ドライバIC 1の概略的な電気的構成を示すブロック図である。

【図3】図2の定電流ドライバIC 1に使用される基準電流発生回路12の概略的な電気的構成を示すブロック図である。

【図4】図3の定電圧回路110をNPNバンドギャップ型で構成する等価的電気回路図である。

【図5】図2の定電流ドライバ回路10の出力の例を示す部分的な電気回路図である。

【符号の説明】

1, 2, 3 定電流ドライバIC

10, 20, 30 定電流ドライバ回路

1·1, 2·1, 3·1 制御回路

20 12 基準電流発生回路

13 基準抵抗

50 E L表示パネル

51, 52, … 有機EL素子

60 行選択回路

110 定電圧回路

120 カレントミラー回路

121, 122, 123 出力用PMOSトランジスタ

130 定電流源

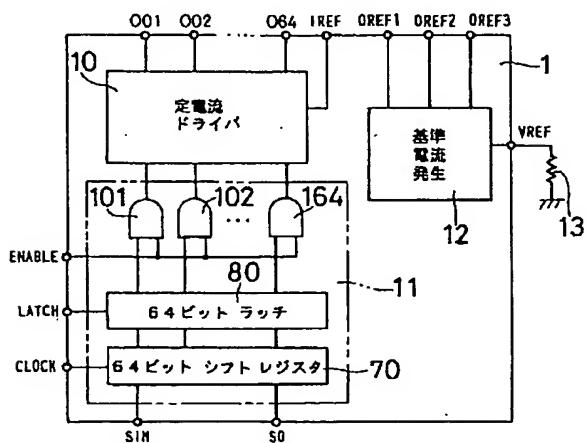
131, 132, 133, 170 NPNトランジスタ

30 140 PMOSトランジスタ

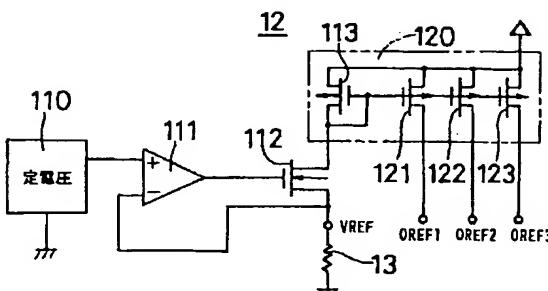
150 NMOSトランジスタ

160 PNPトランジスタ

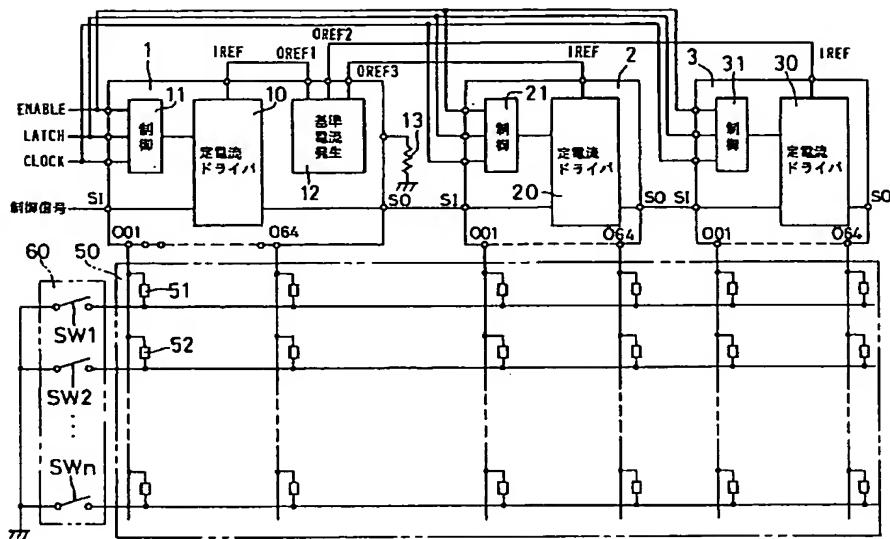
【図2】



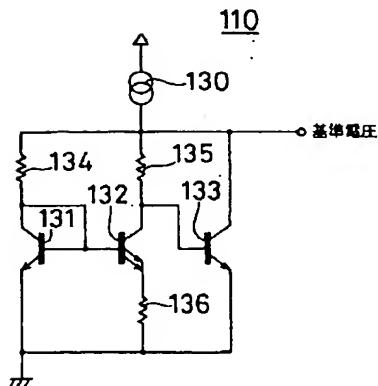
【図3】



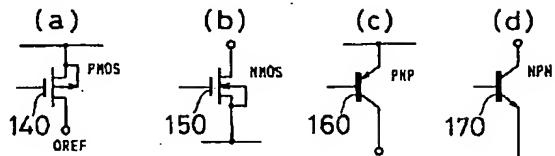
【図1】



【図4】



【図5】



フロントページの続き

F ターム(参考) 5F038 AZ10 BB04 BB08 BB09 DF01
DF12 DF14 EZ20
5F041 BB06 BB13 BB26 FF06 FF13
5H430 BB01 BB05 BB09 BB12 CC06
EE02 EE03 EE06 EE09 EE12
EE17 EE18 FF08 FF13 GG08
GG11 HH03